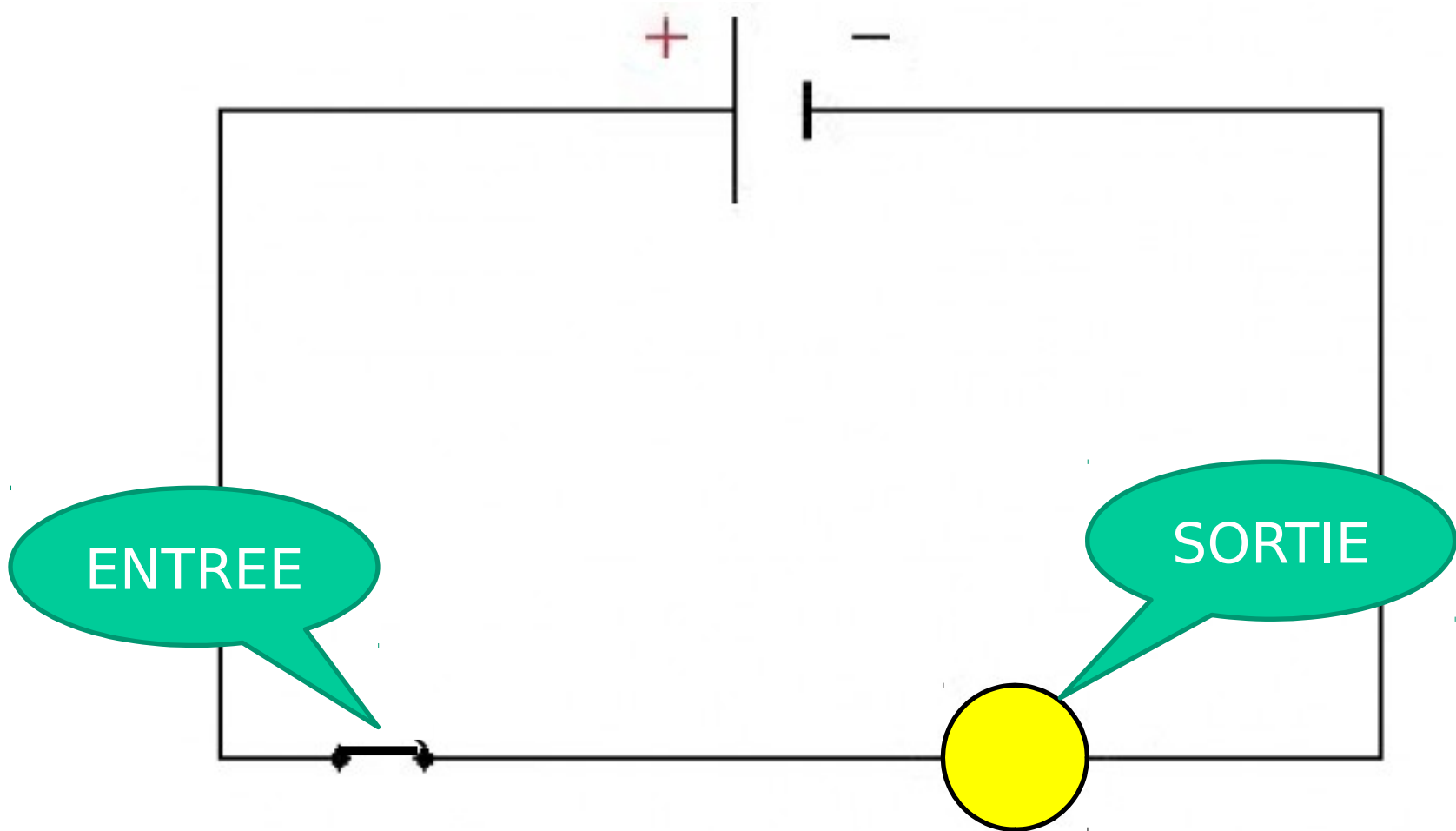
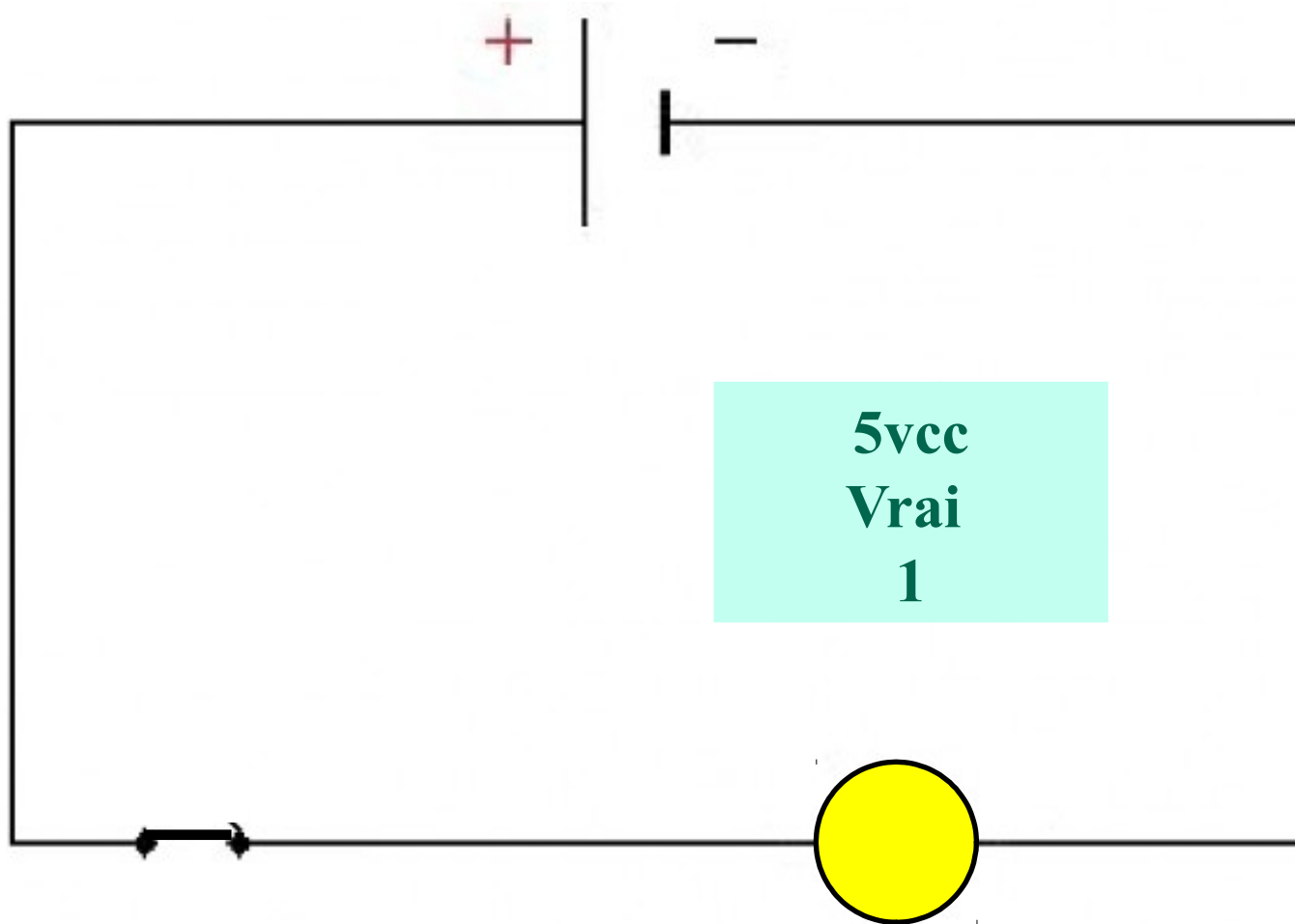


**De l'électronique à l'informatique**

Au commencement était  
l'électricité



# Au commencement était l'électricité



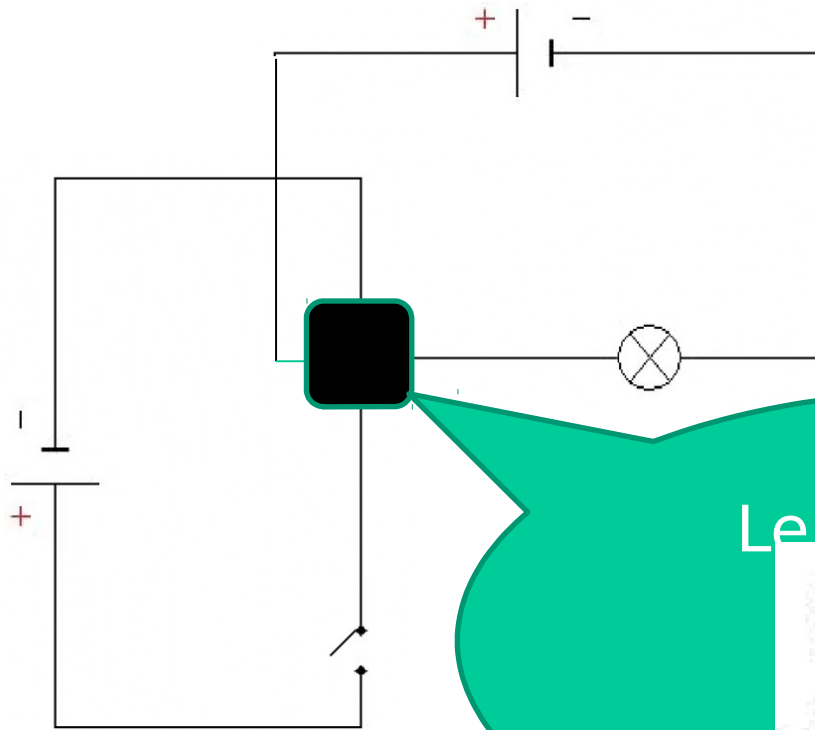
# Fausses idées

➤ **NON** il n'y a pas des 0 et des 1 dans un ordinateur!

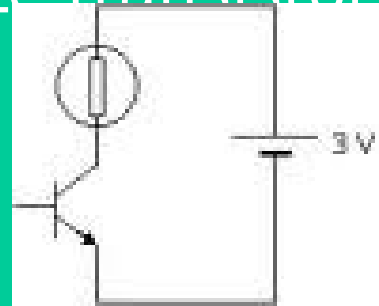


➤ **Juste des électrons qui se déplacent ou pas!!**

# Un interrupteur programmable!!



Le transistor!



# Mon premier « ordinateur »

- Un inverseur!
- Si j'envoie un courant rien ne sort
- Si je n'envoie rien alors il sort un courant!

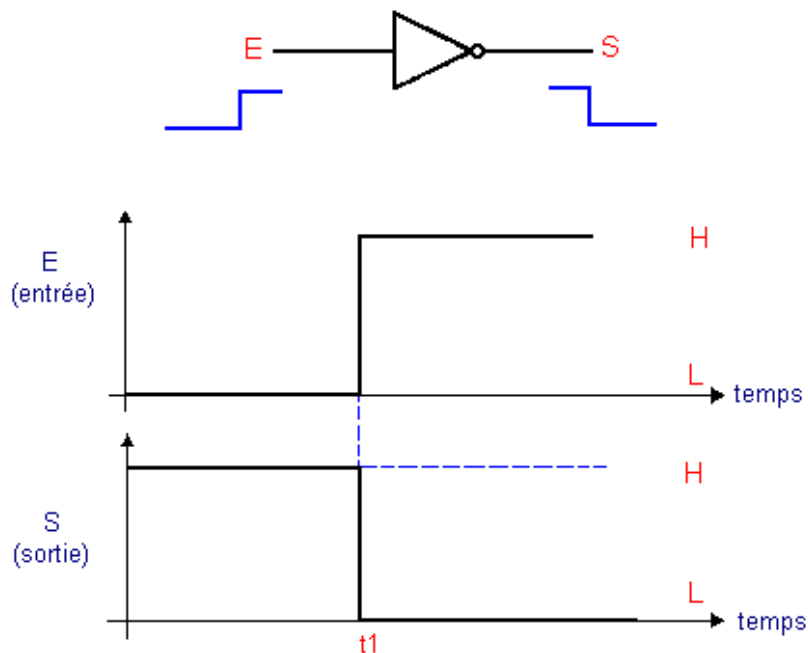
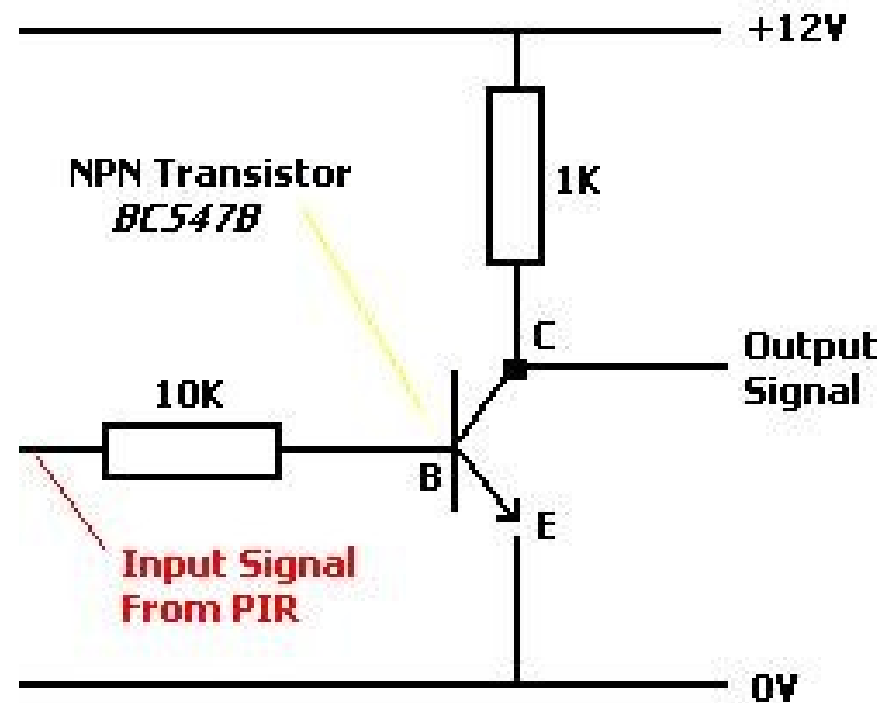
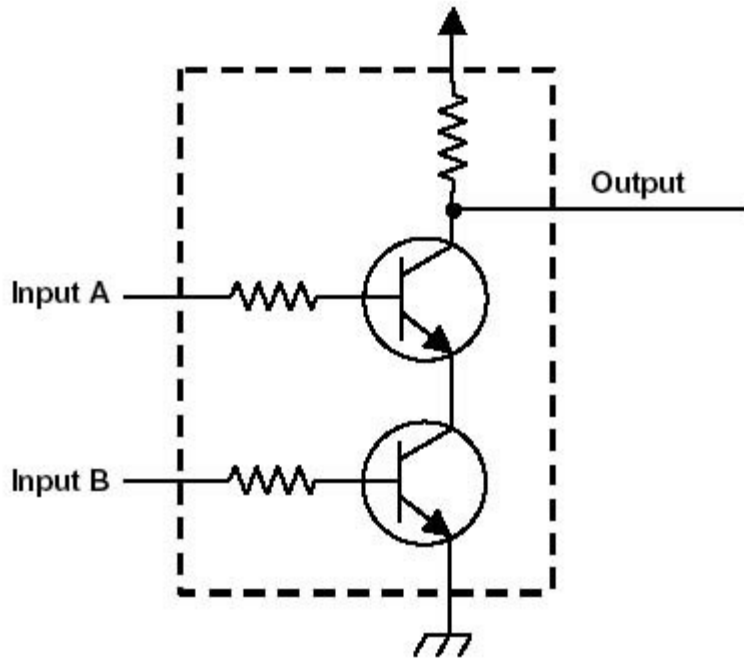


Fig. 28. - Signaux à l'entrée et à la sortie d'un inverseur.

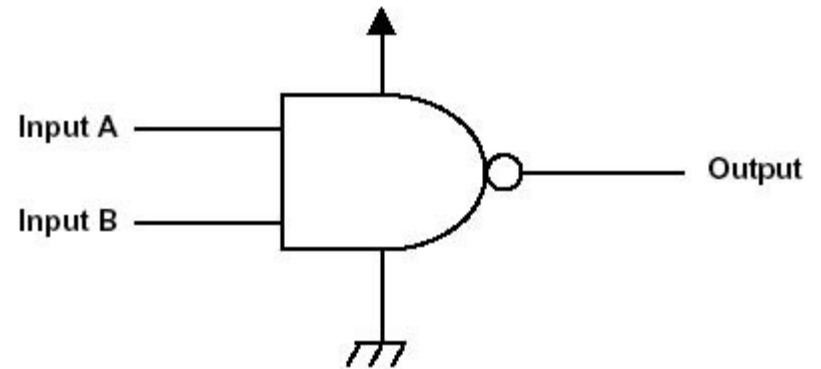


# Avec deux entrées en séries

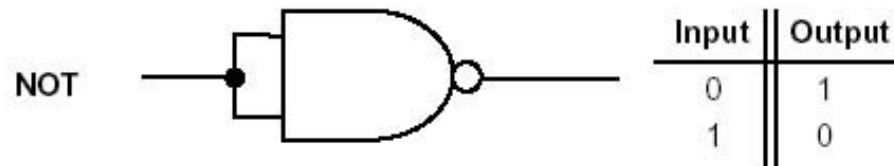
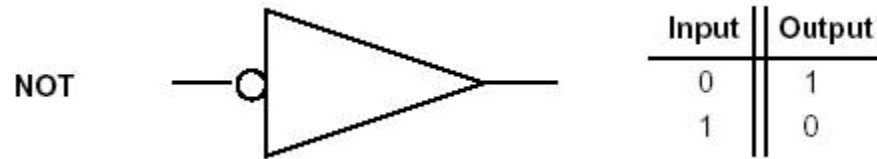


NAND:

A	B	Output
0	0	1
0	1	1
1	0	1
1	1	0



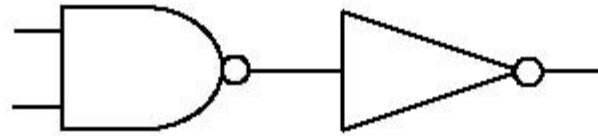
# Inverseur à base de Nand





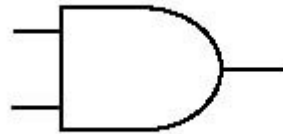
# Un And

AND



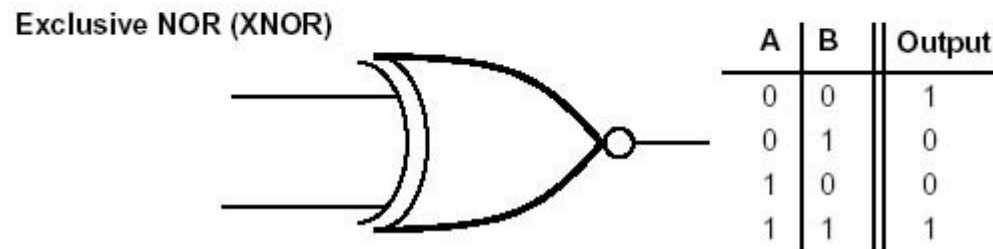
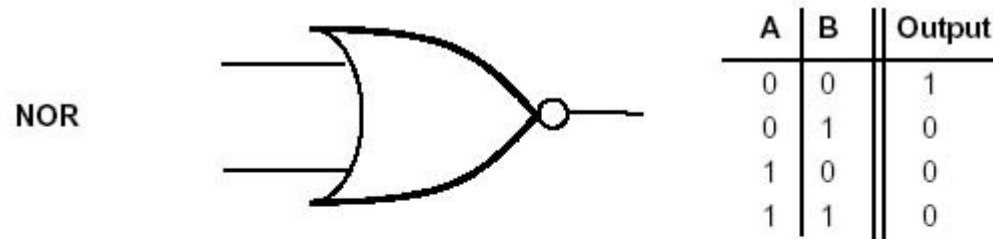
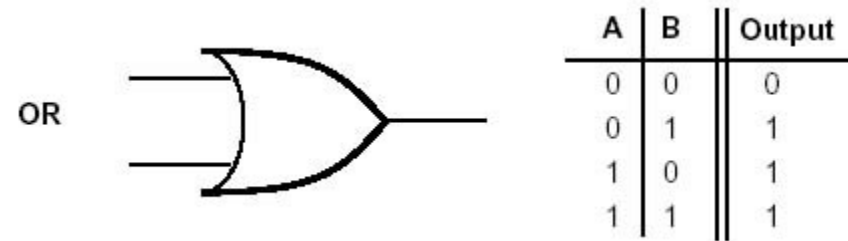
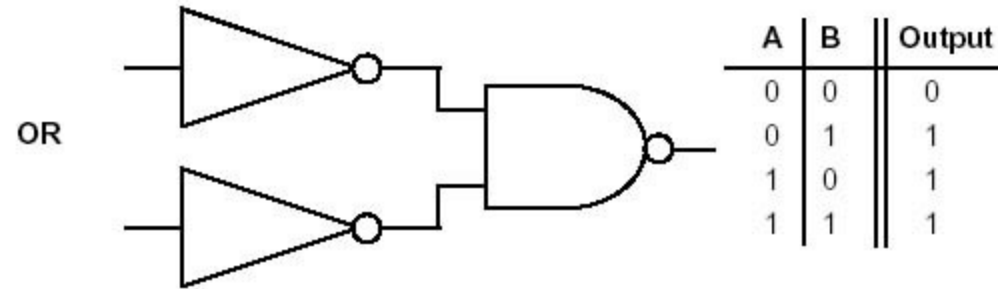
A	B	Output
0	0	0
0	1	0
1	0	0
1	1	1

AND

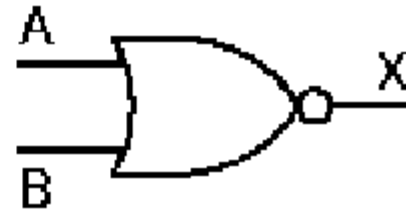
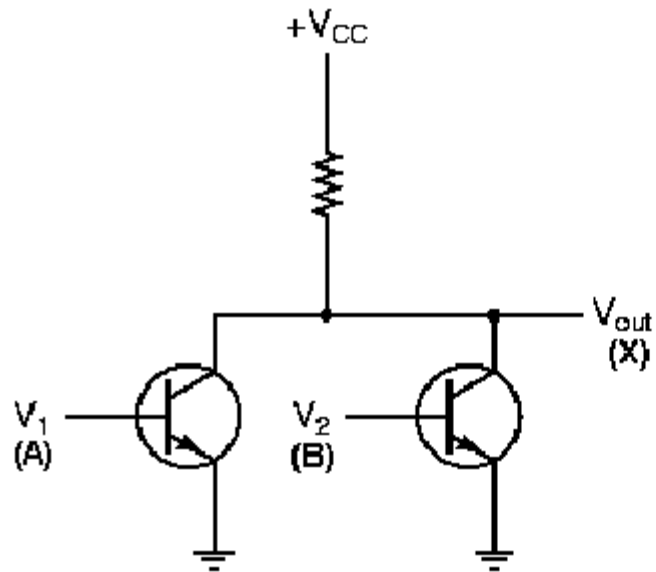


A	B	Output
0	0	0
0	1	0
1	0	0
1	1	1

# Le Or à partir du Nand



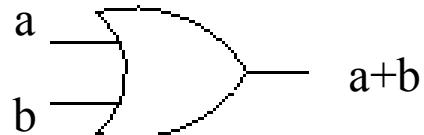
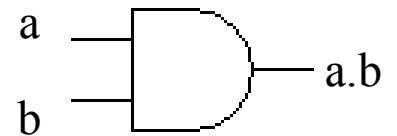
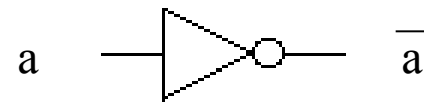
# Le Nor en transistor



A	B	X
0	0	1
0	1	0
1	0	0
1	1	0

# Algèbre de Boole

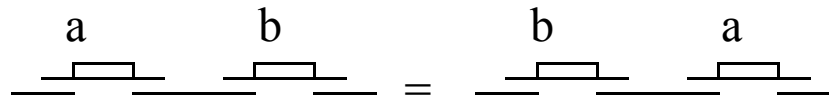
- Pour pouvoir manipuler des 0 et des 1, on a donc trois opérations :
  - Fonction **négation** (complémentation) « **NON** » (« NOT »)
    - noté avec une barre
    - $0 = 1$  et  $1 = 0$
  - Fonction **conjonction** « **ET** » (« AND »)
    - noté « . »
    - $0.0 = 0.1 = 1.0 = 0$      $1.1 = 1$
  - Fonction **disjonction** « **OU** » (« OR »)
    - noté « + »
    - $0+0 = 0$      $0+1 = 1+0 = 1+1 = 1$



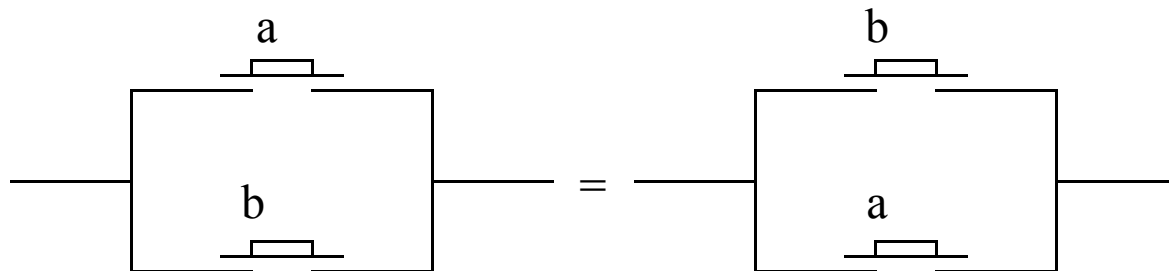
# Axiomes de base (1/4)

## ➤ Commutativité :

➤  $a \cdot b = b \cdot a$



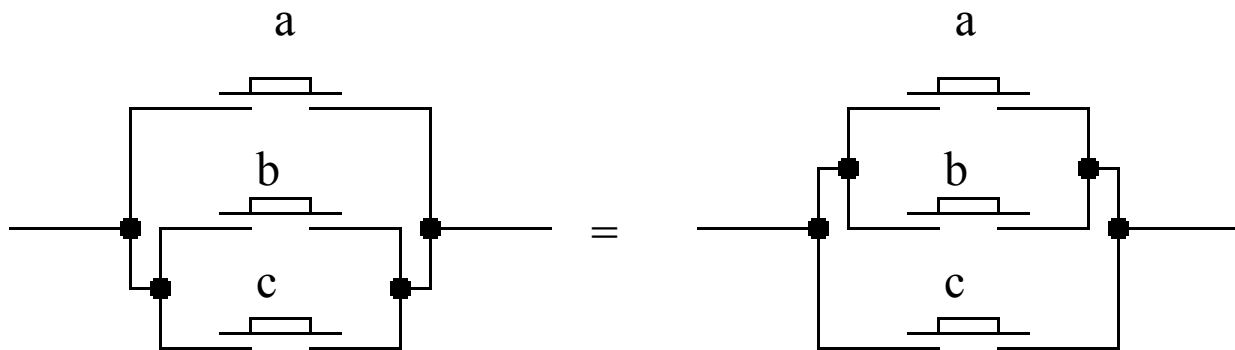
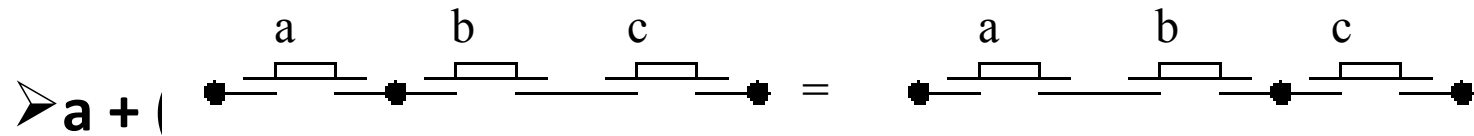
➤  $a + b = b + a$



# Axiomes de base (2/4)

## ➤ Associativité

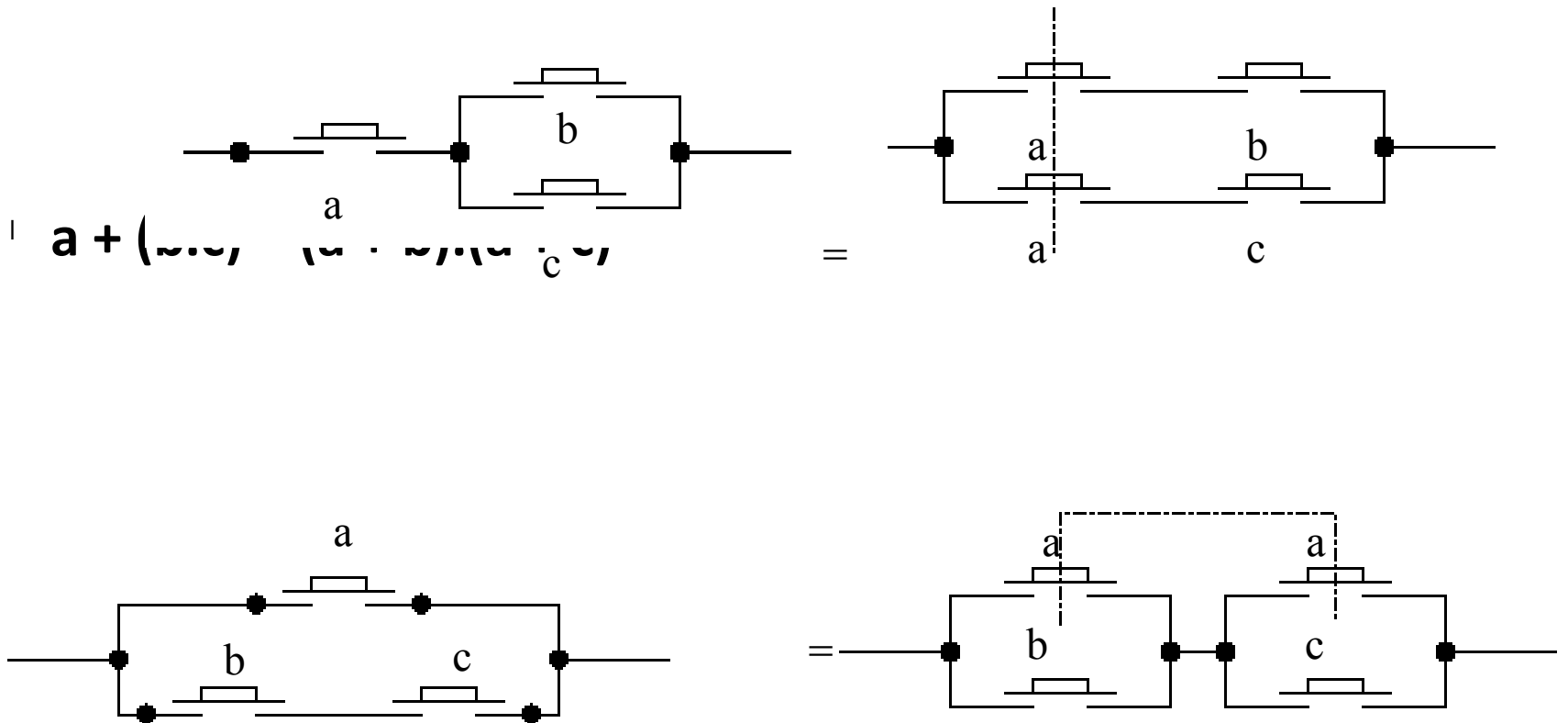
➤  $a.(b.c) = (a.b).c$



# Axiomes de base (3/4)

➤ Distributivité :

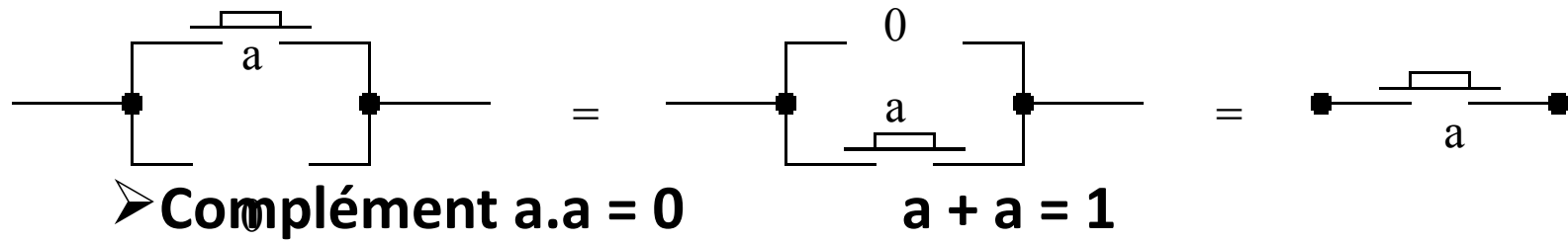
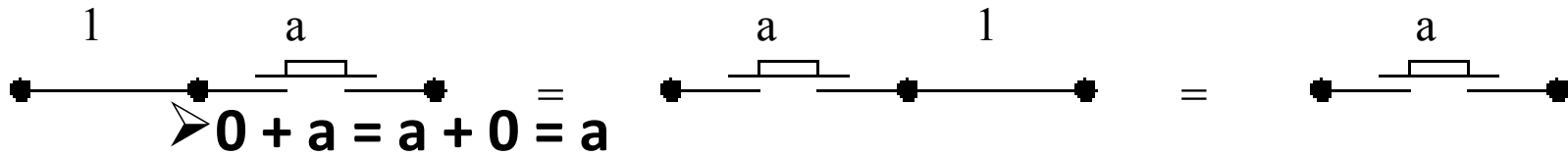
➤  $a.(b + c) = (a.b) + (a.c)$



# Axiomes de base (4/4)

## ➤ Éléments neutres

➤  $1.a = a.1 = a$

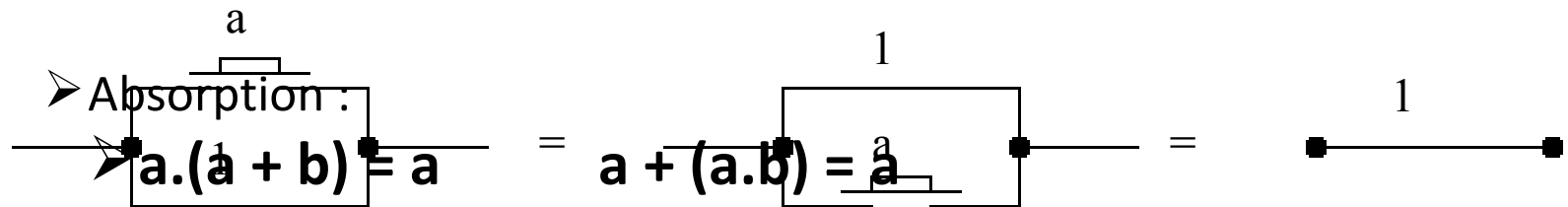
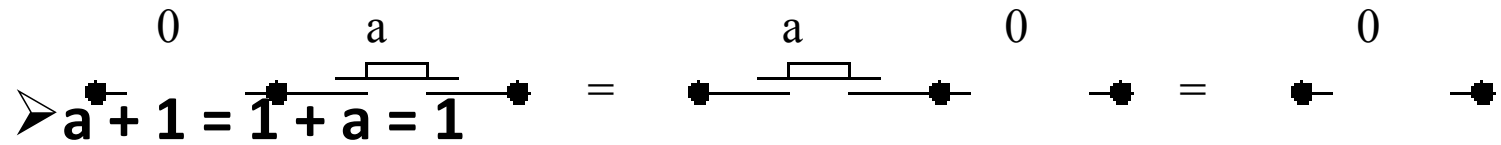




# Propriétés (1/2)

➤ Élément absorbant :

➤  $a \cdot 0 = 0 \cdot a = 0$



# Propriétés (2/2)

➤ Idempotence :

➤  $a.a = a$       $a + a = a$

➤ Involution :

➤  $\overline{\overline{a}} = a$

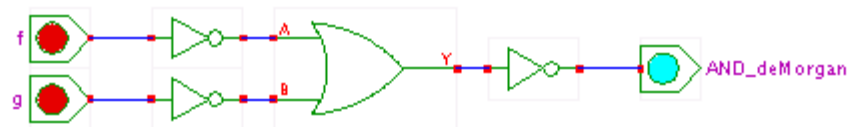
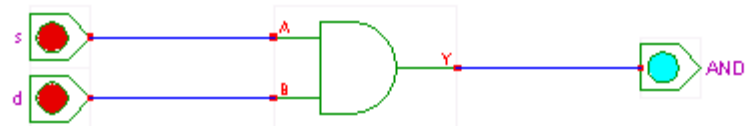
➤ Théorème de De Morgan :

# De Morgan « graphiquement »

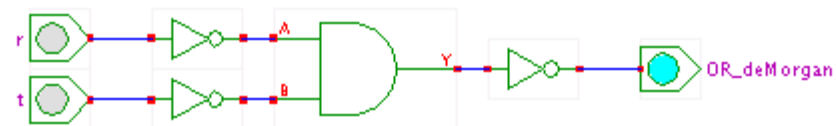
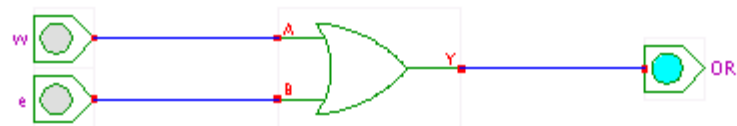
Réalisé avec Hades : un outil de simulation gratuit

<http://tams-www.informatik.uni-hamburg.de/applets/hades/html/>

AND (2 inputs)



OR (2 inputs)



# Un AND3 en VHDL

```
entity AND_3 is
  port (
    e1 : in  bit;
    e2 : in  bit;
    e3 : in  bit;
    s  : out bit
  );
end entity;

architecture arc of AND_3 is

begin  -- arc

    s <= e1 and e2 and e3;

end arc;
```

## *Synthèse d'un circuit combinatoire*

Pour effectuer la synthèse d'un circuit combinatoire, on part de sa table de vérité.

On en extrait les termes des valeurs pour lesquelles la fonction est vraie (1) et on réalise cette fonction en faisant la somme logique de ces termes,

ou encore, on en extrait les termes des valeurs pour lesquelles la fonction est fausse (0) et on réalise cette fonction en faisant le produit logique de ces termes.

Cette réalisation n'est pas toujours optimale. On aura donc la plupart du temps à simplifier les expressions au moyen de l'algèbre booléenne.

## Synthèse d'un circuit combinatoire

Exemple : soit la table de vérité suivante :

a	b	c	f	termes
0	0	0	0	
0	0	1	1	$\bar{a}.\bar{b}.c$
0	1	0	0	
0	1	1	0	
1	0	0	0	
1	0	1	1	$a.\bar{b}.c$
1	1	0	1	$a.b.\bar{c}$
1	1	1	1	$a.b.c$

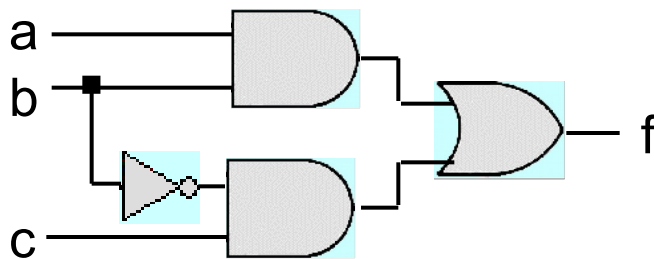
f = ?

# Synthèse d'un circuit combinatoire

Simplification

f = forme la plus simple possible

Circuit



## *Synthèse d'un circuit combinatoire*

### Simplification

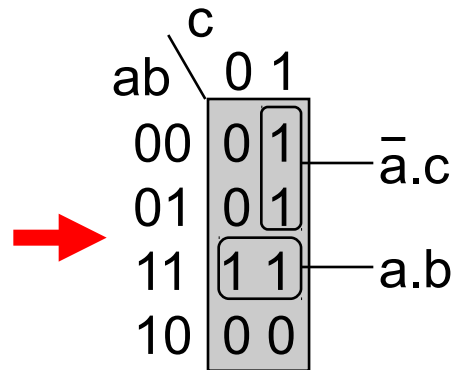
La simplification des équations logiques au moyen de l'algèbre booléenne n'est pas toujours simple, et on ne sait pas toujours si on a atteint une solution optimale.

Les tables de Karnaugh permettent de systématiser ce processus.



# Tables de Karnaugh

a	b	c	f
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1



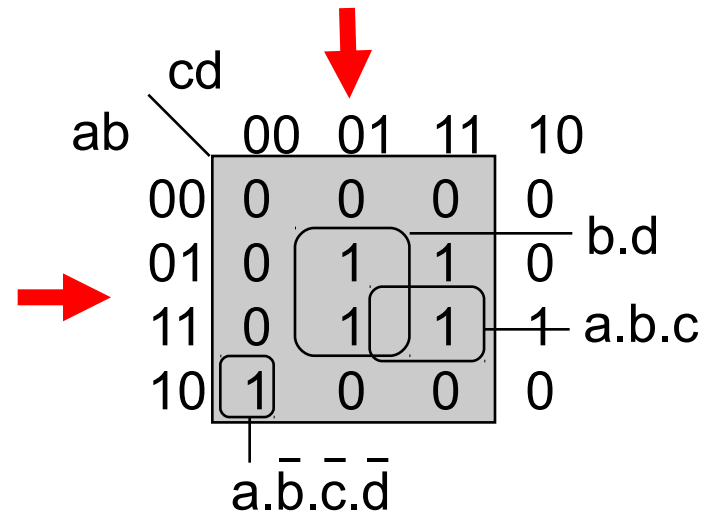
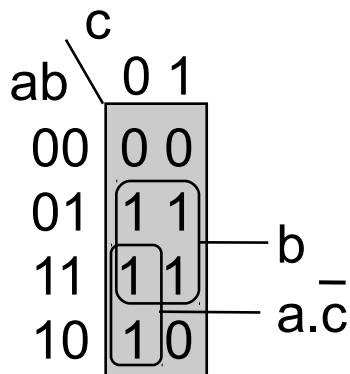
Donc  $f = a.b + \bar{a}.c$

## Tables de Karnaugh

Chaque boucle doit être rectangulaire et doit contenir le maximum possible de 1 qui soit une puissance de 2 : 1, 2, 4, 8, 16, etc. et ne contenir aucun 0.

La boucle est caractérisée par les combinaisons qui sont vraies pour tous les éléments de la boucle.

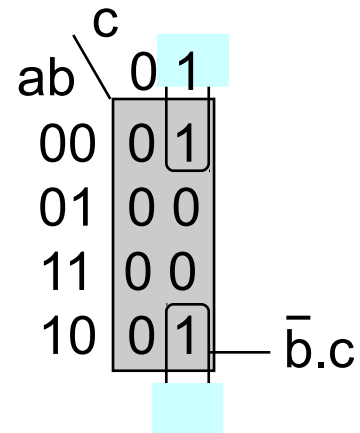
Les recouvrements sont possibles.



# Tables de Karnaugh

Les boucles peuvent «faire le tour» de la table

a	b	c	f
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0



Donc  $f = \bar{b}.c$

# Tables de Karnaugh

Les boucles peuvent «faire le tour» de la table

ab \ cd		00		01		11		10	
		0	1	0	1	0	1	0	1
00	0	1	1	0					
01	1	0	0	1					
11	1	0	0	1					
10	0	1	1	0					

Diagram illustrating a 4x4 Karnaugh map with two wrap-around loops highlighted in light blue. The first loop is a vertical column of 1s in the first column (cd=00), labeled  $\bar{b}.d$ . The second loop is a horizontal row of 1s in the second row (ab=01), labeled  $\bar{b}.d$ . The intersection of these loops is the cell (ab=01, cd=00).

ab \ cd		00		01		11		10	
		0	1	0	1	0	1	0	1
00	1	0	0	1					
01	0	0	0	0					
11	0	0	0	0					
10	1	0	0	1					

Diagram illustrating a 4x4 Karnaugh map with a single wrap-around loop highlighted in light blue. The loop is a vertical column of 1s in the first column (cd=00), labeled  $\bar{b}.\bar{d}$ . The intersection of this loop with the top and bottom edges of the map is highlighted.

## Tables de Karnaugh

Dans certains cas, la sortie pour un état d'entrée donné est indifférente, soit parce que cet état d'entrée ne peut jamais se produire, soit parce que la sortie correspondante ne nous intéresse pas. On inscrit alors un x dans la table de Karnaugh. On peut s'en servir pour minimiser le circuit comme si c'étaient des 1.

ab \ cd		cd			10
		00	01	11	
ab	00	0	0	0	0
	01	0	0	0	0
	11	1	x	x	$x a.b + a.c$ au lieu de
	10	x	0	1	$x a.b.\bar{c}.\bar{d} + a.\bar{b}.c.d$



# Et en VHDL alors?

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity full_add1 is
  port (
    a, b, cin : in  std_logic;
    s, cout   : out std_logic;
  );
end entity;

architecture arc of full_add1 is

  signal resultat : unsigned(1 downto 0);

begin

  resultat <= ('0' & a) + ('0' & b) + ('0' & cin);
  s        <= resultat(0);
  cout     <= resultat(1);

end arc;
```

# A lire

- [http://mpicartier.free.fr/ancien\\_site/electricite/transistor/transit.htm](http://mpicartier.free.fr/ancien_site/electricite/transistor/transit.htm)
- Pour un point de vue électronique :
- <http://www-lemm.univ-lille1.fr/physique/physicie/lec12.htm>
- Un cours VHDL : [http://comelec.enst.fr/hdl/vhdl\\_intro.html](http://comelec.enst.fr/hdl/vhdl_intro.html)